

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

1. 57-31177, Feb. 19, 1982, INSULATED GATE TYPE FIELD EFFECT
TRANSISTOR; MASAMIZU KONA H01L 29*78; H01L 27*12; H01L 29*36; H01L
29*60

257/66

=> d 15 1 all

57-31177

Feb. 19, 1982

L5: 1 of 1

INSULATED GATE TYPE FIELD EFFECT TRANSISTOR

INVENTOR: MASAMIZU KONAKA

ASSIGNEE: TOKYO SHIBAURA DENKI KK

APPL NO: 55-105759

DATE FILED: Jul. 31, 1980

PATENT ABSTRACTS OF JAPAN

ABS GRP NO: E111

ABS VOL NO: Vol. 6, No. 99

ABS PUB DATE: Jun. 8, 1982

INT-CL: H01L 29*78; H01L 27*12; H01L 29*36; H01L 29*60

ABSTRACT:

PURPOSE: To optimize triode characteristics of an MOS-FET with SOS construction, by decreasing the ratio of effective channel length between a source and a drain to gate oxide film thickness.

CONSTITUTION: A P type Si layer 12 is formed in island shape on a sapphire substrate 11. A gate 14 is formed via a gate insulation film 13 on its surface. N type source and drain domains 15, 16 are formed in the layer 12. An N type high-impurity density layer 17 is formed to prevent leakage at an interface between the layer 12 and the substrate 11 and to suppress punch through. A channel region 18 is formed in a region surrounded by the regions 15 and 16, and the layer 17. In this constitution, impurity density of the region 18 is set below $4 \times 10^{12} \text{ cm}^{-3}$, and thickness of the region 18 is $0.4 \mu\text{m}$ effectively. The ratio $L_{\text{sub.e.sub.f.sub.f}}/T_{\text{sub.o.sub.x}}$ between thickness $T_{\text{sub.o.sub.x}}$ of the film 13 and length $L_{\text{sub.e.sub.f.sub.f}}$ of the channel is below 10. Good triode characteristics are obtained by satisfying these conditions.

=>

⑤ 日本国特許庁 (JP)

① 特許出願公開

④ 公開特許公報 (A)

昭57-31177

⑥ Int. Cl.³
H 01 L 29/78
27/12
29/36
29/60

識別記号

庁内整理番号
6603-5F
6426-5F
7514-5F
7638-5F

③ 公開 昭和57年(1982)2月19日

発明の数 1
審査請求 未請求

(全 6 頁)

② 絶縁ゲート型電界効果トランジスタ

京芝浦電気株式会社総合研究所
内

⑧ 特 願 昭55-105759

⑨ 出 願 人 東京芝浦電気株式会社

⑨ 出 願 昭55(1980)7月31日

川崎市幸区堀川町72番地

⑩ 発 明 者 小中雅水

⑩ 代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

絶縁ゲート型電界効果トランジスタ

2. 特許請求の範囲

絶縁性基板上の低不純物濃度半導体層にこれと逆導電型のソース、ドレイン領域を設け、その間のチャネル領域上にゲートを形成を介してゲート電極を設けて形成される絶縁ゲート型電界効果トランジスタにおいて、前記低不純物濃度半導体層の不純物濃度を $4 \times 10^{13}/\text{cm}^3$ 以下とし、前記低不純物濃度半導体層の前記絶縁性基板との界面側にこれと同じ導電型の高不純物濃度層を設けることにより前記チャネル領域となる低不純物半導体層の有効的厚さを $0.4 \mu\text{m}$ 以下に設定すると共に、前記ゲート絶縁膜の膜厚 T_{ox} を $1000 \sim 3000 \text{ \AA}$ としてこれと有効チャネル長 L_{eff} の比 L_{eff}/T_{ox} を10以下に設定したことを特徴とする絶縁ゲート型電界効果トランジスタ。

3. 発明の詳細な説明

この発明は3電極特性を有する絶縁ゲート型電界効果トランジスタ(以下 MOSFET と称する)に関する。

第1図は従来の3電極特性を示すNチャネル MOSFET の概略断面図である。1は例えば低不純物濃度のP型シリコン基板、2はその表面上に熱酸化により形成されたゲート絶縁膜(SiO_2)、3はゲート電極である多結晶シリコン層、4、5はN型不純物を選択拡散して形成されたソース、ドレイン領域、6は電子間分離用の酸化膜、7はチャネルストップ層、8はN型不純物のみで形成された高濃度埋込み層9とソース、ドレイン領域4、5により囲まれたチャネル領域である。この構造の MOSFET では、1と2との界面に逆導電型に接するよう、例えばチャネル領域3の不純物濃度を下げたりソース、ドレイン領域4、5の拡散係数をできるだけ小さくするなどの工夫がなされているが、ソース、ドレイン領域4、5と基板1との間のPN接合

実数がより一層の高感動作を行わせる上で大きな影響を与えている。

この点を解決するものとしてはサファイア等の半導性基板上の半導体層を用用するいわゆるSOS構造が有効である。図2はSOS構造によるMOSFETの概略断面図である。即ち、 11 は例えばサファイア基板であり、この上に島状にシリコン層 12 が形成され、その表面にゲート絶縁膜 13 を介してゲート電極 14 が形成されている。 15 、 16 は高不純物層を形成部材として形成されたソース、ドレイン領域、 17 はシリコン層 12 と基板 11 の界面でのリーク防止とパンチスルー抑制のための高不純物層であり、ソース、ドレイン領域 15 、 16 と高不純物層 17 に由来する電位障壁がチャネル領域 18 とされている。

この構造にあっては、電荷チャネル長 L_{eff} とゲート絶縁膜 T_{ox} の比は $L_{eff}/T_{ox} \geq 50$ 以上と過され、従って図3に示す如く電流-電圧特性は飽和型を示していたが、更に高感度

化を施すため電子の散乱化を進めると、ソース及びドレインの基板に對する誘分電化でさえ、ソース、ドレイン間のパンチスルーが起ってしまう。これを防止するにチャネル領域 18 の不純物濃度を増大させると、キャリアの移動度が低下したり、ドレイン側の電圧を高く、また高感度にかける場合電圧によって電圧感度電圧以下の電荷チャネル長を小さく（抑制すると、従来の高感度の電流-電圧特性は電圧感度電圧以下の電圧と成ってしまう。この電圧感度の電圧感度の電圧が見られる。

本発明はSOS構造を用いたMOSFETとして、ソース、ドレイン間の電荷チャネル長 L_{eff} とゲート絶縁膜 T_{ox} との比 (L_{eff}/T_{ox}) を小さく設定し、チャネル領域の電荷密度を抑制することによって高感度特性の向上を図った高感度MOSFETを提供するものである。

この発明に係るMOSFETの基本構造は図2と異ならない。この発明においては、この図2

の構造で散乱化を進めるときは、良好な電荷密度を得るべく、(1)チャネル領域 18 の不純物濃度を $4 \times 10^{15}/\text{cm}^3$ 以下とすること、(2)高不純物層 17 を設けることにより電荷障壁がチャネル領域 18 の深さ $0.4 \mu\text{m}$ 以下とすること、(3)ゲート絶縁膜 13 の膜厚 T_{ox} を $1000 \sim 3000 \text{ \AA}$ に過す、かつこの膜厚と電荷チャネル長 L_{eff} の比 L_{eff}/T_{ox} を 10 以下にすること、を要子としている。

上記(1)～(3)の条件を満たすことによって良好な電荷特性が得られることを以下にゲート電圧について詳細に説明する。

図2に示す構造において可動性の良い高感度特性のMOSFETを得るには、高不純物層 17 を基板 11 との界面に設けてリークを防止すると共にパンチスルーを抑制し、一方チャネル領域 18 では、積極的にパンチスルーが起りやすい様に、例えばシリコン層 12 の不純物濃度を下げると共に、ゲート絶縁膜を厚くすることが望ましい。チャネル領域 18 の電圧

N_{pp1} が高い場合やゲート絶縁膜 T_{ox} が薄すぎる場合には非常に大きいドレイン電圧領域に於いて高感度特性が現れるので同様に高感度では高感度電圧が必要となり不都合となる。更に、ゲート絶縁膜 T_{ox} が薄い場合は、従来の赤外線電流（チャネル電流）が流れ易くなるため、図4に示す如く高感度特性に悪影響を生ずる。一方高不純物層 17 の上端位置が浅すぎる場合や、ゲート絶縁膜 T_{ox} が厚すぎる場合にはドレイン電流のゲート電圧による抑制が弱く、またMOSFETの静電容量 $C_{gs} = \Delta I / \Delta V_g$ が小さくなるためデバイスとして好ましくない。従って好ましい高感度特性をもつデバイスを得るにはそのデバイスパラメータの最適化が必要である。第5図はP型シリコン層の厚み $x_1 = 0.5 \mu\text{m}$ 、不純物濃度 $N_{pp1} = 5 \times 10^{14}/\text{cm}^3$ 、高不純物層 17 の厚さとその濃度をそれぞれ $x_2 = 0.5 \mu\text{m}$ 、 $N_{pp2} = 2 \times 10^{16}/\text{cm}^3$ 、その位置をわちチャネル領域 18 の厚さを $x_3 = 0.3 \mu\text{m}$ 、ゲート絶縁膜 $T_{ox} =$

2000Å、実効チャネル長 $L_{eff} = 1 \mu m$ のデバイスパラメータをもつ MOSFET に基底バイアス $V_{gs0} = 0V$ 、ドレイン電圧 V_d 、そしてゲート電圧 V_g を印加した時のドレイン電流 - ドレイン電圧特性を示している。ドレイン電流 I_d はチャネル電圧で線形化してある。

図 6 はチャネル領域 L の長さ L をパラメータとしてドレイン電流 - ゲート電圧特性を求めた結果である。この図から L が $0.5 \mu m$ 以上に達するとドレイン電流が指数関数的に増大せず、飽和特性を示し、これはデバイスのスイッチングにおいて漏れ電流の増大を招き、好ましくない結果となる。従って飽和特性が現われるドレイン電流 I_d/W の最小値を $10^{-12} A/\mu m$ と設定すると L は $0.47 \mu m$ ($= L_{max}$) となる。

次に図 7 図に L_{max} のドレイン電圧 V_d 依存性を示す。他のパラメータは図 6 図の場合と同じである。この時に L_{max} は V_d の増大に従って低下するが、閾値電圧 $V_{th} = 10V$ とすると L_{max}

べた時に T_{ox} を小さくすると 3 次元特性がドレイン電圧の大きい方に移動し、実効長 L_{eff} によってドレイン電圧が決まり 3 次元特性は移れなくなる。その限界は $T_{ox} \leq 1000 \text{Å}$ であり、 $L_{eff}/T_{ox} < 1.0$ が必要である。また

T_{ox} が厚い場合にはゲート・ドレイン間の寄生容量が小さくなるため望ましいが、図 9 図から明らかになる様に L_{max} が低下するため必要とするデバイス特性の L_{max} の最小値で T_{ox} の最大限界が決まる。またゲート絶縁膜厚が厚い場合には酸化成長時間がかなりかかる等の製造上の問題もあり、 T_{ox} は $0.47 \mu m$ (1000°C プライマ化で $0.47 \mu m$ 以下が妥当である) 以下が妥当である。

この様にして最適化された 3 次元特性の MOSFET は高入力インピーダンス、低出力インピーダンス素子として使用出来、電荷コンダクタンス C_{gs} が大きく、大電流領域において電圧特性が殆んど直線的な特性となるため歪みが小さい動作が行え、大出力素子としても適している。また、各種集積回路に適用して高電

圧 $0.4 \mu m$ 以下とする必要があることが判る。一方、3 次元特性が現われる目安となるドレイン電流 $I_d/W = 10^{-12} A/\mu m$ におけるドレイン電圧 V_d のチャネル領域不均物濃度 N_{sp} の依存性を図 8 図に示す。先と同様に V_g の最大値を閾値電圧 $V_{th} = 10V$ とすると N_{sp} は $4 \times 10^{15}/cm^3$ 以下である必要があることが判る。これらの結果はソース・ドレインの拡散係数 D_L 、シリコン膜 L の長さ L_{max} に殆んど依存しないことが知られている。

ここで L_{max} の値によって 3 次元特性がドレイン電圧側へ移動するためチャネル領域不均物濃度 N_{sp} を低下させる必要はないことは言うまでもない。実際問題 L_{max} の値はプロセスによって制約される。

図 9 図にはゲート絶縁膜厚 T_{ox} に対する寄生コンダクタンス $C_{gs} = \Delta I_d/\Delta V_g$ を示した。他のパラメータは図 6 図の場合と同じである。この図から明らかになる様に C_{gs} は T_{ox} の増大につれて減少し、従って T_{ox} の小さいものを選択したいが、先に述

べた、最適化を施ることから得られる元の従来のバイポーラトランジスタや MOSFET に比べて極めて優れた特性を示す。先述のとおりはチャネルのみならずチャネルでも均一の特性を有することが出来る。

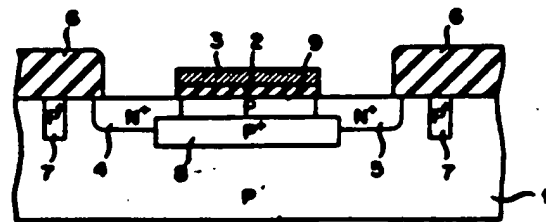
4. 図 10 の結果を説明

図 10 図はペンタスルーを併用した 3 次元特性を示す従来の MOSFET の特性図、図 2 図は SOG 膜上の MOSFET の特性図、図 3 図はペンタスルーを併用した従来の特性図、図 4 図は、図 5 図はゲート絶縁膜を小さくしたため 3 次元特性に歪みが生じた $I_d - V_d$ 特性図、図 6 図は本発明によって最適化された一次加算で 3 次元特性を示した図、図 7 図は両側配線込み時の特性をパラメータとしてドレイン電流のゲート電圧依存性を示した図、図 8 図はチャネル領域の長さ L_{max} のドレイン電圧依存性を示した図、図 9 図は 3 次元特性の目安となるドレイン電流 $I_d/W = 10^{-12} A/\mu m$ におけるドレイン電圧 V_d の不均物濃度 N_{sp} 依存性を示した図、図 9

図はゲート絶縁膜厚 T_{ox} に対する電流コンダクタンス I_D を示した図である。

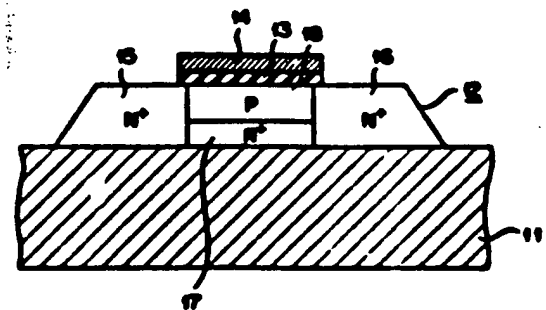
11-サファイア基板、12-P型シリコン層、13-ゲート絶縁膜、14-ゲート電極、15-ソース電極、16-ドレイン電極、17-高不純物層、18-チャネル電極。

第1図

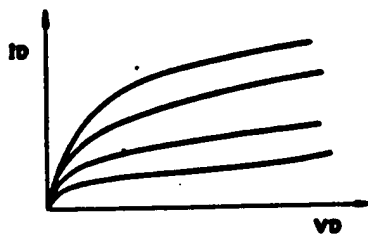


出願人 佐々木 秀雄 氏

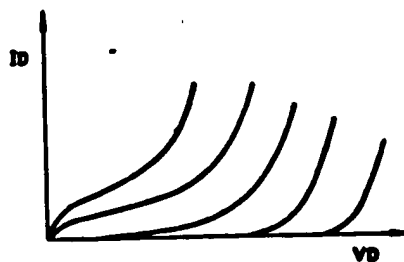
第2図



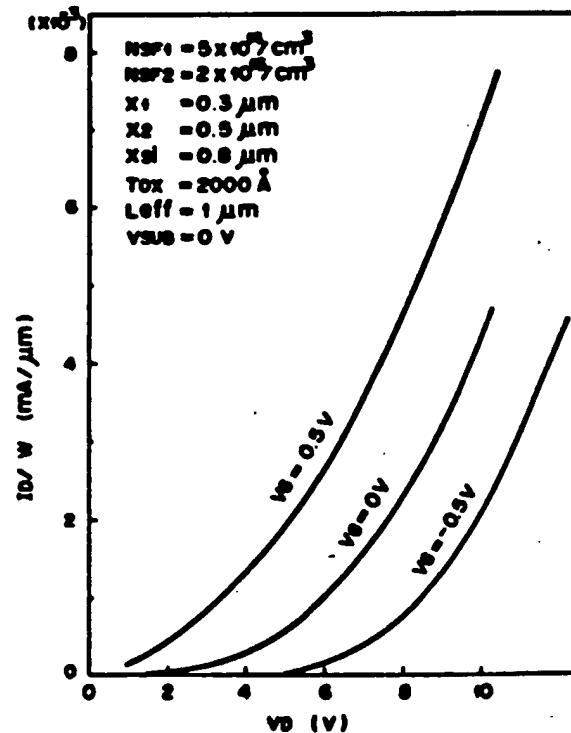
第3図



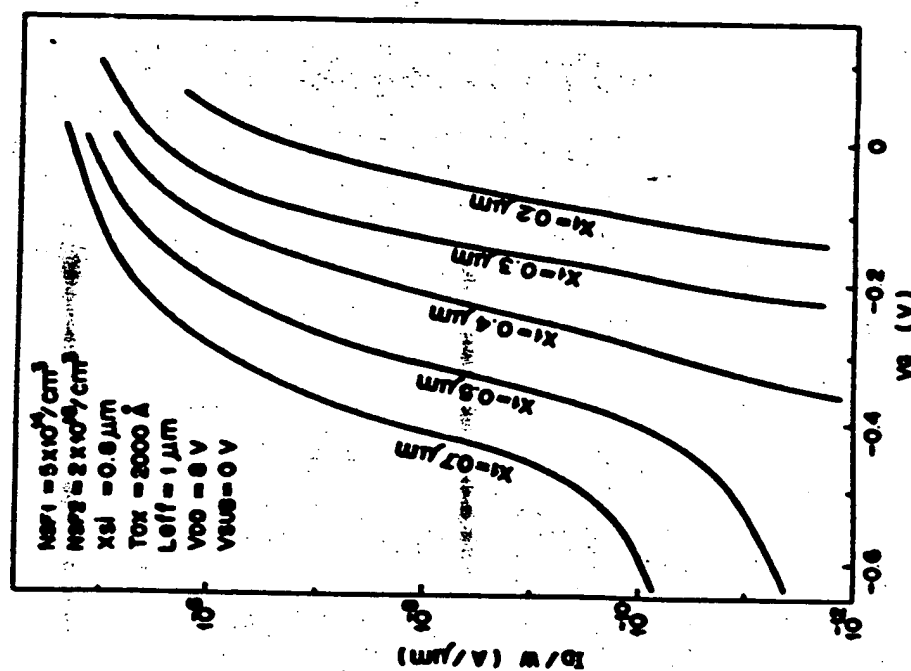
第4図



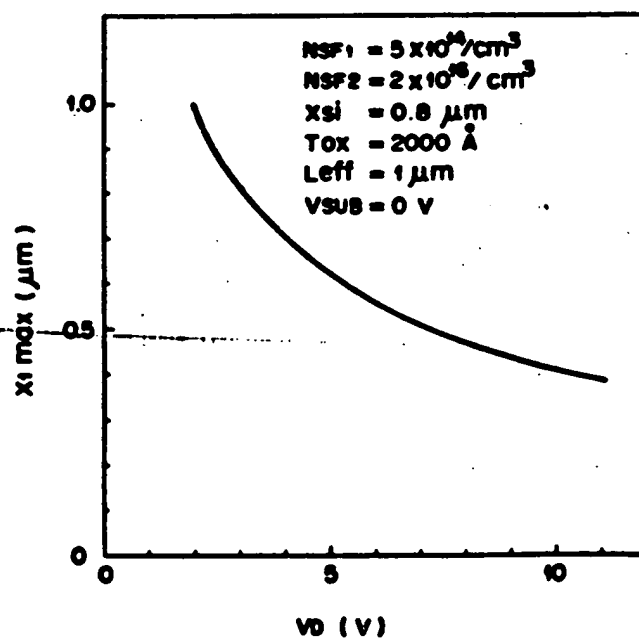
第5図



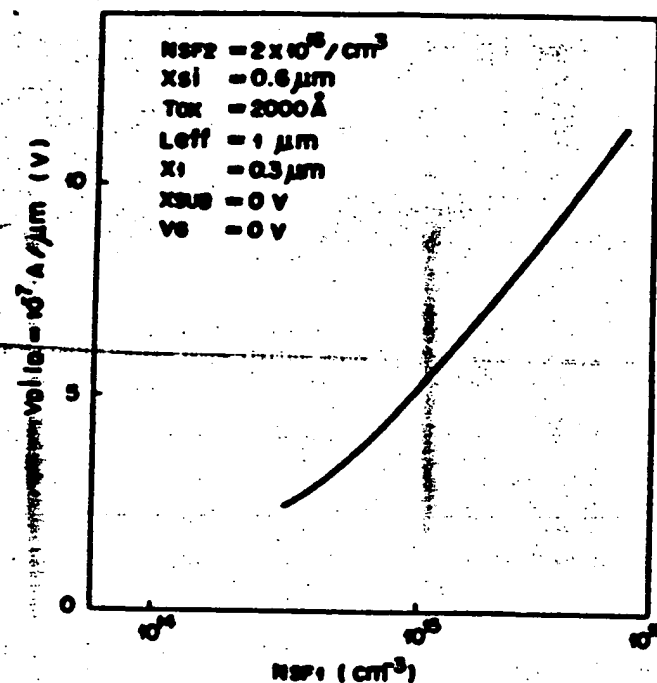
第 6 圖



第 7 圖



第 8 图



第 9 图

